



## FICHA DE COMPONENTE CURRICULAR

<b>CÓDIGO:</b>	<b>COMPONENTE CURRICULAR:</b> EXPERIMENTAL DE ELETRÔNICA DIGITAL	
<b>UNIDADE ACADÊMICA OFERTANTE:</b> Faculdade de Engenharia Elétrica		<b>SIGLA:</b> FEELT
<b>CH TOTAL TEÓRICA:</b> 0 horas	<b>CH TOTAL PRÁTICA:</b> 30 horas	<b>CH TOTAL:</b> 30 horas

### 1. OBJETIVOS

Ao final da disciplina o estudante será capaz de:

Elaborar a análise ou síntese de circuitos lógicos combinacionais e/ou sequenciais, sejam estes implementados por meio de chips discretos ou por meio de dispositivos lógicos programáveis.

Condicionar adequadamente os sinais de sensores a serem aplicados aos circuitos lógicos, assim, como prover o driver adequado para a atuação no sistema a partir de uma saída lógica.

Projetar, avaliar, aperfeiçoar circuitos lógicos para uma dada aplicação em Engenharia Elétrica.

### 2. EMENTA

Circuitos lógicos combinacionais e sequenciais, técnicas de minimização de circuitos lógicos, tecnologias de circuitos lógicos, características elétricas dos circuitos lógicos, dispositivos lógicos programáveis, Linguagem de Descrição de Hardware e ferramentas de programação.

### 3. PROGRAMA

#### 1. Introdução ao Laboratório de Eletrônica Digital

- 1.1. Boas práticas de manipulação de circuitos lógicos
- 1.2. Como utilizar protoboards e os kits do laboratório
- 1.3. Interpretação da informação: número finito de estados de um sinal como representação de um nível lógico (single-ended voltage)
- 1.4. O que pode ser ou não conectado aos kits de laboratório (entradas e saídas)

#### 2. Introdução aos Circuitos Lógicos Combinacionais

- 2.1. Análise de Circuitos Lógicos
  - 2.1.1. Verificação experimental da tabela-verdade de portas lógicas
  - 2.1.2. Verificação experimental da tabela-verdade de uma função ou circuito lógico

- 2.1.3. Verificação da resposta estática e dinâmica de uma porta lógica
- 2.2. Síntese de circuitos lógicos
- 2.2.1. Elaboração da tabela-verdade a partir do conhecimento de um problema prático
- 2.2.2. Extração da função lógica da tabela verdade (SOP ou POS) e simplificação da função
- 2.2.3. Implementação prática da solução com circuitos discretos e verificação operacional
- 2.2.4. Uso das portas universais NAND e NOR na implementação de uma solução
- 2.2.5. Utilização de um multiplexador como gerador universal de uma função lógica

### **3. Verificação experimental de circuitos combinacionais disponíveis em chips discretos**

- 3.1. Somador/Subtrator
- 3.2. Codificador, decodificador
- 3.3. Multiplexador, demultiplexador
- 3.4. Comparadores

### **4. Introdução aos Circuitos Lógicos Sequenciais**

- 4.1. Verificação experimental da operação de um flip-flop (conceito de memória)
- 4.2. Clock e entradas assíncronas
- 4.3. Implementação de contadores
- 4.4. Utilização de flip-flops na divisão de frequência de sinais digitais

### **5. Introdução à Lógica Programável**

- 5.1. Introdução aos PLD's (Dispositivos Lógicos Programáveis)
  - 5.1.1. SPLD: PLA, PAL, GAL, PROM, EPROM, EEPROM
  - 5.1.2. CPLD
  - 5.1.3. FPGA
- 5.2. Introdução a Linguagem de Descrição de Hardware (VHDL)
- 5.3. Estrutura geral de um código VHDL
- 5.4. Introdução ao Software Quartus
- 5.5. Implementação de uma solução digital por meio de uma FPGA
  - 5.5.1. Inserção da solução digital projetada via diagrama esquemático
  - 5.5.2. Uso da biblioteca de componentes e compilação
  - 5.5.3. Geração de sinais de excitação. Simulação e visualização de resultados
  - 5.5.4. Geração do arquivo "SRAM Object File" e programação da FPGA
  - 5.5.5. Verificação da solução num kit FPGA
- 5.6. Implementação de uma função digital via Tabela-Verdade escrita em VHDL
- 5.7. Estilos de Programação em VHDL

- 5.7.1. Estilo Comportamental
- 5.7.2. Estilo Estrutural
- 5.7.3. Instanciação de componentes
- 5.8. Utilização de IP's (Intellectual Property)
- 5.9. Elaboração de código Testbench para simulação no ModelSim
- 5.10. Arquivos de configuração de pinos para o Pin Planner (Golden Top Project)
- 5.11. Lógica Sequencial em VHDL
  - 5.11.1. RTL View (register-transfer level)
  - 5.11.2. Declarações concorrentes de um processo e o cuidado para não gerar latches.
  - 5.11.3. Implementação de contadores
  - 5.11.4. Conexão de periféricos básicos: chaves, push-buttons, display 7-seg. e conversores A/D
- 5.12. Sincronismo e restrições de tempo
- 5.13. Utilização do Analisador Lógico Embarcado (SignalTap)

#### 4. **BIBLIOGRAFIA BÁSICA**

FLOYD, T. L. **Sistemas digitais:** fundamentos e aplicações. 9. ed. Porto Alegre: Bookman, 2011.

PEDRONI, V. A. **Eletrônica digital moderna e VHDL.** Rio de Janeiro: Elsevier, 2010.

TOCCI, R. J. **Sistemas digitais:** princípios e aplicações. 11. ed. São Paulo: Pearson Education do Brasil, 2011.

#### 5. **BIBLIOGRAFIA COMPLEMENTAR**

SZAJNBERG, M. **Eletrônica digital:** teoria, componentes e aplicações. Rio de Janeiro: LTC, 2014. *E-book*. Disponível em: <https://mb.ufu.br/978-85-216-2707-4>. Acesso em: 26 fev. 2025.

GARCIA, P. A. **Eletrônica digital:** teoria e laboratório. 2. ed. São Paulo: Erica, 2009. *E-book*. Disponível em: <https://mb.ufu.br/9788536518497>. Acesso em: 26 fev. 2025.

LENZ, M. L. **Eletrônica digital.** Porto Alegre: SAGAH, 2019. *E-book*. Disponível em: <https://mb.ufu.br/9788595028579>. Acesso em: 26 fev. 2025.

HAUPT, A. **Eletrônica digital.** São Paulo: Blucher, 2016. *E-book*. Disponível em: <https://mb.ufu.br/9788521210092>. Acesso em: 26 fev. 2025.

CRUZ, E. C. A. **Eletrônica digital.** São Paulo: Erica, 2014. *E-book*. Disponível em: <https://mb.ufu.br/9788536518480>. Acesso em: 26 fev. 2025.

#### 6. **APROVAÇÃO**

Fernando Lourenço de Souza  
Coordenador(a) do Curso de Graduação em  
Engenharia Mecatrônica

Lorenço Santos Vasconcelos  
Diretor(a) da Faculdade de  
Engenharia Elétrica



Documento assinado eletronicamente por **Fernando Lourenço de Souza, Coordenador(a)**, em 25/04/2025, às 13:51, conforme horário oficial de Brasília, com fundamento no art. 6º, § 1º, do [Decreto nº 8.539, de 8 de outubro de 2015](#).



Documento assinado eletronicamente por **Lorenço Santos Vasconcelos, Diretor(a)**, em 25/04/2025, às 14:49, conforme horário oficial de Brasília, com fundamento no art. 6º, § 1º, do [Decreto nº 8.539, de 8 de outubro de 2015](#).



A autenticidade deste documento pode ser conferida no site [https://www.sei.ufu.br/sei/controlador\\_externo.php?acao=documento\\_conferir&id\\_orgao\\_acesso\\_externo=0](https://www.sei.ufu.br/sei/controlador_externo.php?acao=documento_conferir&id_orgao_acesso_externo=0), informando o código verificador **6287635** e o código CRC **08929C95**.

**Referência:** Processo nº 23117.030675/2023-76

SEI nº 6287635