



FICHA DE COMPONENTE CURRICULAR

CÓDIGO:	COMPONENTE CURRICULAR: ELETRÔNICA DIGITAL	
UNIDADE ACADÊMICA OFERTANTE: Faculdade de Engenharia Elétrica		SIGLA: FEELT
CH TOTAL TEÓRICA: 30 horas	CH TOTAL PRÁTICA: 0 horas	CH TOTAL: 30 horas

1. OBJETIVOS

Ao final da disciplina o estudante será capaz de:

Identificar problemas de Engenharia onde a Lógica Dedutiva pode ser aplicada como solução;

Analisar e projetar circuitos lógicos digitais combinacionais e/ou sequenciais capazes de solucionar problemas práticos de Engenharia Elétrica;

Selecionar tecnologias e circuitos lógicos adequados à solução projetada;

Implementar circuitos lógicos para prover a solução de problemas de Engenharia Elétrica.

2. EMENTA

Sistemas de Numeração, Álgebra de Boole, Circuitos lógicos combinacionais e sequenciais, Tecnologias de circuitos lógicos, Características elétricas dos circuitos lógicos, Máquinas de estados finitos, Memórias, Conversores de Dados e Dispositivos lógicos programáveis.

3. PROGRAMA

1. Introdução à Lógica

1.1. Conceito

1.2. Tipos de Lógica (Dedutiva, indutiva e de predicados)

1.3. Lógica dedutiva (binária)

1.4. Leis fundamentais da Lógica Dedutiva

2. Lógica

2.1. Grandezas analógicas versus grandezas digitais

2.2. Sistemas de numeração (Binário, octal, hexadecimal) e BCD

2.3. Transformações de Base

2.4. Aritmética binária:

2.4.1. Números sem sinal e números com sinal

2.4.2. Flags de "carry" e "overflow"

- 2.4.3. Complementos de base e base-1
- 3. **Operações Lógicas e Álgebra de Boole**
 - 3.1. Operações lógicas básicas: NOT, AND, OR
 - 3.2. Operações lógicas complementares: NAND, NOR, XOR, XNOR
 - 3.3. Funções lógicas e tabela verdade
 - 3.4. Álgebra de BoolePorta inversora (NOT)
 - 3.4.1. Postulados da Álgebra de Boole
 - 3.4.2. Teoremas da Álgebra de Boole
 - 3.5. Análise e Síntese de circuitos lógicos
 - 3.6. Formas canônicas: SOP e POS
 - 3.7. Técnicas de minimização: Álgebra de Boole, Mapa de Karnaugh, método Quine-McCluskey.Porta COINCIDÊNCIA (XNOR)
- 4. **Tecnologia de Circuitos Lógicos**
 - 4.1. Circuitos lógicos TTL e CMOS
 - 4.2. Esquema interno de uma porta básica
 - 4.3. Faixas limites de tensões e correntes: VIH, VIL, VOH, VOL, IIH, IIL, IOH, IOL
 - 4.4. Atrasos de propagação, Fan-out e margem de ruído;
 - 4.5. Característica de entrada de circuitos lógicos (emissor/TTL e gate/CMOS, Schmitt Trigger)
 - 4.6. Característica de saída de circuitos lógicos: “totem pole”, coletor/dreno aberto, “tri-state”, “wired-AND”
 - 4.7. Compatibilidade entre famílias lógicas e conversão de sinais TTL/CMOS.
- 5. **Lógica combinacional**
 - 5.1. Circuitos combinacionais clássicos:
 - 5.1.1. Circuitos somadores, meio somador, somador completo, somador/subtrator, “ripple-carry adder”, “Carry look-ahead adder”
 - 5.1.2. Comparadores, codificadores, decodificadores, multiplexadores, demultiplexadores
 - 5.2. O multiplexador como gerador universal de funções digitais
 - 5.3. Conversores de dados: binário(BCD)/7-segmentos, binário/Gray
- 6. **Lógica sequencial**
 - 6.1. Diferenciação da lógica combinacional, o conceito de memória (estado interno)
 - 6.2. “Latches”: Conceito, tipos e aplicações
 - 6.3. Atrasos de propagação, “setup time”, “hold-time”, “racing”
 - 6.4. “Flip-flops”: Conceito, tipos e aplicações, pulse-triggered/edge-triggered flip-flops, flip-flop mestre-escravo, clock, entradas assíncronas
 - 6.5. Contadores síncronos e assíncronos
 - 6.6. Análise e síntese de circuitos sequenciais síncronos e assíncronos
- 7. **Multivibradores**

- 7.1. Monoestável (retriggerable, nonretriggerable)
- 7.2. Biestável
- 7.3. Astável
- 8. **Registradores**
- 8.1. Registrador de deslocamento (PIPO, SIPO, PISO, SISO)
- 8.2. Contador em anel, contador Johnson
- 8.3. “Random Access Memory” (RAM – estática e dinâmica)
- 8.4. “Read Only Memory” (ROM)
- 8.5. “Programmable Memories” (PROM, EPROM, EEPROM, FLASH)
- 9. **Máquinas de Estados Finitos (FSM)**
- 9.1. Caracterização: FSM Moore, FSM Mealy
- 9.2. Projeto de FSM’s: Identificação do problema, diagrama de estados, tabela de estados, tabela de excitação dos flip-flops e síntese da FSM
- 10. **Conversão de dados**
- 10.1. Conversores D/A
- 10.1.1. Conversores D/A resistores ponderados
- 10.1.2. Conversores D/A escada R-2R
- 10.2. Conversores A/D
- 10.2.1. Conversores A/D integradores
- 10.2.2. Conversores A/D aproximação sucessiva
- 10.2.3. Conversores A/D pipeline
- 10.2.4. Conversores A/D paralelos ou flash
- 11. **Introdução à Logica Programável**
- 11.1. PLD - “Programmable Logical Devices”
- 11.2. CPLD - “Complex Programmable Logical Devices”
- 11.3. FPGA - “Field Programmable Gate Arrays”
- 11.4. Introdução à Linguagem de descrição de “hardware” e softwares de programação

4. **BIBLIOGRAFIA BÁSICA**

FLOYD, T. L. **Sistemas digitais:** fundamentos e aplicações. 9. ed. Porto Alegre: Bookman, 2011.

PEDRONI, V. A. **Eletrônica digital moderna e VHDL.** Rio de Janeiro: Elsevier, 2010.

TOCCI, R. J. **Sistemas digitais:** princípios e aplicações. 11. ed. São Paulo: Pearson Education do Brasil, 2011.

5. **BIBLIOGRAFIA COMPLEMENTAR**

D'AMORE, R. **VHDL:** descrição e síntese de circuitos digitais. Rio de Janeiro: Livros Técnicos e Científicos, 2012.

IDOETA, I. V. **Elementos de eletrônica digital.** 40. ed. São Paulo: Érica,

2007.

MENDONÇA, A. **Eletrônica digital:** curso prático e exercícios. 2. ed. Rio de Janeiro: MZ, 2007.

SHIBATA, W. M. **Eletrônica digital:** teoria e experiência. São Paulo: Érica, 1989. 2 v.

UYEMURA, J. P. **Sistemas digitais:** uma abordagem integrada. São Paulo: Pioneira, 2002.

6. APROVAÇÃO

Fernando Lourenço de Souza

Coordenador(a) do Curso de Graduação em
Engenharia Mecatrônica

Lorenço Santos Vasconcelos

Diretor(a) da Faculdade de
Engenharia Elétrica



Documento assinado eletronicamente por **Fernando Lourenço de Souza, Coordenador(a)**, em 25/04/2025, às 13:51, conforme horário oficial de Brasília, com fundamento no art. 6º, § 1º, do [Decreto nº 8.539, de 8 de outubro de 2015](#).



Documento assinado eletronicamente por **Lorenço Santos Vasconcelos, Diretor(a)**, em 25/04/2025, às 14:49, conforme horário oficial de Brasília, com fundamento no art. 6º, § 1º, do [Decreto nº 8.539, de 8 de outubro de 2015](#).



A autenticidade deste documento pode ser conferida no site https://www.sei.ufu.br/sei/controlador_externo.php?acao=documento_conferir&id_orgao_acesso_externo=0, informando o código verificador **6287631** e o código CRC **3C4501B0**.

Referência: Processo nº 23117.030675/2023-76

SEI nº 6287631